

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-345826
(43)Date of publication of application : 14.12.1999

(51)Int. Cl. H01L 21/60
H01L 23/12
H05K 3/34
// H01L 21/60

(21)Application number : 11-094101 (71)Applicant : SEIKO EPSON CORP
(22)Date of filing : 31.03.1999 (72)Inventor : TAKATO YUJI

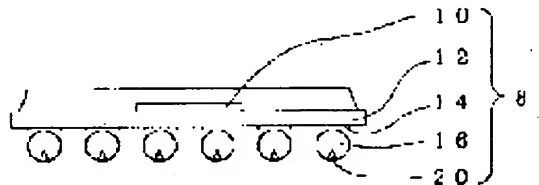
(30)Priority
Priority number : 10 85990 Priority date : 31.03.1998 Priority country : JP

(54) SEMICONDUCTOR DEVICE, ITS MANUFACTURE, AND ITS MOUNTING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the occurrence of voids at the time of mounting a semiconductor device on an external circuit board, by forming grooves in bump electrodes for outside connection.

SOLUTION: A semiconductor element 10 is mounted on a wiring board 12 and connected to each wire. Then bump electrodes 16 are respectively provided on and connected to electrodes 14 arranged on the wiring board 12, and groove sections 20 are respectively formed into the bump electrodes 16. An external circuit board mounted with a semiconductor device 8 is passed through a reflow process. In the reflow process, the occurrence of voids can be suppressed effectively without taking the volatile gas which is generated when paste-like solder melts in the bump electrodes 16 as bubbles, because the volatile gas is discharged along the groove sections 20 and projecting sections 22 of the bump electrodes 16. Therefore, the reliability of the semiconductor device 8 can be improved. Thereafter, the bump electrodes 16 having a melting point higher than that of the paste-like solder melt and, finally, the semiconductor device 8 is fixed to the external circuit board through a cooling process.



LEGAL STATUS

[Date of request for examination] 31.10.2002
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-345826

(43) 公開日 平成11年(1999)12月14日

(51) Int.Cl. ⁶	識別記号	P I
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60 3 1 1 Q
23/12		H 0 5 K 3/34 5 0 7 C
H 0 5 K 3/34	5 0 7	H 0 1 L 23/12 L
// H 0 1 L 21/60		21/92 6 0 2 C

審査請求 未請求 請求項の数12 O L (全 8 頁)

(21) 出願番号 特願平11-94101

(22) 出願日 平成11年(1999) 3 月31日

(31) 優先権主張番号 特願平10-85990

(32) 優先日 平10(1998) 3 月31日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 ▲高▼戸 雄二

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

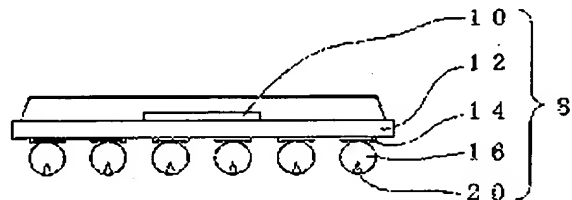
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 半導体装置、半導体装置の製造方法及び半導体装置の実装方法

(57) 【要約】

【課題】 半導体装置を外部回路基板に実装する際に、ボイドの発生を抑制することのできる半導体装置、及びこのような半導体装置を製造できる方法、および実装方法を提供すること。

【解決手段】 半導体素子10が搭載されて、半導体素子10と電気接続された配線基板12と、配線基板12に配された電極部14と、電極部14に配置された外部接続のための突起電極16とを備えた半導体装置8において、突起電極16にみぞ部20を形成した。



【特許請求の範囲】

【請求項1】外部接続のための突起電極を有する半導体装置において、前記突起電極には、みぞ部が形成されてなることを特徴とする半導体装置。

【請求項2】半導体素子が搭載されて、前記半導体素子と電気接続された配線基板と、この配線基板に配された電極部と、この電極部に配置された突起電極とを備えた半導体装置において、前記突起電極にはみぞ部が形成されてなることを特徴とする半導体装置。

【請求項3】半導体素子と、この半導体素子に形成された電極部と、この電極部に配置された突起電極とを備えた半導体装置において、前記突起電極にはみぞ部が形成されてなることを特徴とする半導体装置。

【請求項4】請求項1乃至請求項3のいずれかに記載の半導体装置において、前記みぞ部は、該突起電極の配置された方から見て、該突起電極のほぼ中央部に形成されてなることを特徴とする半導体装置。

【請求項5】請求項1乃至請求項3のいずれかに記載の半導体装置において、前記みぞ部は、該突起電極の配置された方から見て、該突起電極のほぼ中央部を中心とした放射状の形状を有していることを特徴とする半導体装置。

【請求項6】請求項1乃至請求項3のいずれかに記載の半導体装置において、該突起電極の配置された方から見て、該突起電極のほぼ中央部には前記みぞ部が形成され、そのみぞ部の交差部に、突起部が形成されてなることを特徴とする半導体装置。

【請求項7】請求項1乃至請求項3のいずれかに記載の半導体装置において、前記みぞ部のみぞ長さ寸法は前記突起電極の幅寸法の20分の1以上かつ4分の1以下の寸法に形成されることを特徴とする半導体装置。

【請求項8】請求項1乃至請求項3のいずれかに記載の半導体装置において、該突起電極の配置された方から見て、ほぼ中央部の前記みぞ部を含む範囲に、ペースト状はんだが配置されてなることを特徴とする半導体装置。

【請求項9】請求項1乃至請求項3のいずれかに記載の半導体装置において、該突起電極の配置された方から見て、ほぼ中央部の前記みぞ部を含む範囲に、フラックスが配置されてなることを特徴とする半導体装置。

【請求項10】請求項1乃至請求項3のいずれかに記載の半導体装置を製造するための半導体装置の製造方法であって、該突起電極の配置された方から見て、該突起電極のほぼ中央部を中心とした放射状の形状をしているみぞ部を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項11】請求項1乃至請求項3のいずれかに記載の半導体装置を製造するための半導体装置の製造方法であって、みぞ部の形成されていない突起電極を温度軟化点直前まで上昇させる工程と、みぞ部の形状を反転された形状からなる形成槽子を該突起電極に押し付け転写す

る工程と、前記突起電極を冷却する工程と、をこの順序で行うことによって、前記みぞ部の形成を行うことを特徴とする半導体装置の製造方法。

【請求項12】請求項1乃至請求項3のいずれかに記載の半導体装置を、前記半導体装置の突起電極に対応した電極を有する外部回路基板上に実装する半導体装置の実装方法であって、前記突起電極の融点より低い融点を持つペースト状はんだ又はフラックスを電極上に配した外部回路基板を用いることを特徴とする半導体装置の実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置、半導体装置の製造方法及び半導体装置の実装方法に関する。

【0002】

【従来の技術】電子機器の小型化、軽量化、多機能化に伴い、それに用いられる電子部品も同様に小型化、軽量化、多機能化されてきている。特に、配線基板に半導体素子を搭載し、その配線基板の電極に突起電極を形成した半導体装置や半導体素子に配した電極に突起電極を形成した半導体装置は、通常BGA(Ball Grid Array)と呼ばれている。このBGAは、QFP(Quad Flat Package)を用いてプリント配線基板に接続された半導体装置と比較して、半導体装置の省スペース化、多端子化が図られ、小型化が可能となっている。

【0003】上記半導体装置の突起電極は、フラックスを配した配線基板へ電導体ボールを搭載する工程、電導体ボール及びフラックスを溶融する(溶融しはんだ付けすることをリフローと言う、以下リフローと称す)工程、及び冷却により電導体ボールを固定する工程をこの順序で実施して形成される。または、配線基板上にペースト状はんだを配置する工程、そのペースト状はんだをリフロー工程でボール状に形成する工程をこの順序で実施して形成される。

【0004】

【発明が解決しようとする課題】上記のように形成した突起電極を配した前記半導体装置を、外部回路基板上に実装する方法としては2通り有る。その一つの方法は、外部回路基板上に配された電極上にペースト状はんだ又はフラックスを配置する工程と、前記ペースト状はんだ又はフラックスを配置された外部回路基板上に半導体装置を搭載する工程と、突起電極とペースト状はんだ又はフラックスとを溶融させて固定するリフロー工程と、をこの順序で実施される実装方法である。もう一つの方法は、前記半導体装置の突起電極にみぞ部を設け、そのみぞ部にペースト状はんだ又はフラックスを配置する工程と、前記ペースト状はんだ又はフラックスを突起電極上に配した半導体装置を外部回路基板上に搭載する工程と、該突起電極とペースト状はんだ又はフラックスとを

溶解させて固定するリフロー工程と、をこの順序で実施される実装方法である。このどちらの方法でも、リフロー時に、ペースト状はんた又はフラックスからの揮発ガスが発生し、突起電極内に気泡として取り込まれ、ボイドが形成されることがある。そして、このボイドは、用途によっては信頼性低下の原因となることが有り好ましくない。

【0005】この様なボイドの除去対策として、特開平3-208346号公報には、はんたパンプが溶解している状態で、このはんたパンプに針を刺し、このはんたパンプのボイドからガスを抜くことにより、このボイドを消滅させる方法が提案されている。しかし、この方法では、半導体装置単体でのボイドは除去できるが、外部回路基板上に実装する際には、外部回路基板上にペースト状はんた又はフラックスを配置して、半導体装置を搭載しリフロー炉に通すため、リフロー時にペースト状はんた又はフラックスから発生する揮発ガスを突起電極内に新たにに取り込むことになり、上述の課題を解決できない。

【0006】そこで、本発明は、上記の様な課題を解決するためになされたものであり、その目的は、半導体装置を外部回路基板上に実装する際に、ボイドの発生を抑制することのできる半導体装置、及びこのような半導体装置を製造できる方法、および実装方法を提供することにある。

【0007】

【課題を解決するための手段】請求項1記載の半導体装置は、外部接続のための突起電極を有する半導体装置において、前記突起電極には、みぞ部が形成されてなることを特徴とする。これにより、前記半導体装置を外部回路基板上に実装する際のリフロー工程において、外部回路基板上に配置したペースト状はんた又はフラックスから揮発ガスが発生しても、ペースト状はんた又はフラックスと突起電極の間に構成されたみぞ部に沿ってその揮発ガスを逃がすことができ、突起電極内に揮発ガスを気泡として取り込まないため、ボイドの発生を効果的に抑制することができる。したがって、信頼性を向上させることができる。外部回路基板とは、回路を組み込んだ基板の総称である。基板の材料としては、ガラス繊維の入ったガラスエポキシ基板が一般的であるが、アルミナ配線基板、窒化珪素配線基板等のセラミックス基板、ポリイミドフレキシブル配線基板等の有機基板、シリコン基板ガラス配線基板等の基板も含まれる。また、突起電極を構成する材料としては、はんたボール、はんたメッキを施した銅ボール等を用いることができる。ここで、はんたとは、電気接合に供される合金材料の総称であり、通常のすず-鉛合金の他に、金、銀、銅、亜鉛、ヒスマス、アンチモン等の材料による合金も含まれる。

【0008】請求項2記載の半導体装置は、半導体素子が搭載されて、前記半導体素子と電気接続された配線基

板と、この配線基板上に配された電極部と、この電極部に配置された突起電極とを備えた半導体装置において、前記突起電極にはみぞ部が形成されてなることを特徴とする。これにより、前記半導体装置を外部回路基板上に実装する際のリフロー工程において、外部回路基板上に配置したペースト状はんた又はフラックスから揮発ガスが発生しても、ペースト状はんた又はフラックスと突起電極の間に構成されたみぞ部に沿ってその揮発ガスを逃がすことができ、突起電極内に揮発ガスを気泡として取り込まないため、ボイドの発生を効果的に抑制することができる。したがって、信頼性を向上させることができる。

【0009】請求項3記載の半導体装置は、半導体素子と、この半導体素子に形成された電極部と、この電極部に配置された突起電極とを備えた半導体装置において、前記突起電極にはみぞ部が形成されてなることを特徴とする。これにより、前記半導体装置を外部回路基板上に実装する際のリフロー工程において、外部回路基板上に配置したペースト状はんた又はフラックスから発生する揮発性のフラックス・溶剤等が気化しても、ペースト状はんた又はフラックスと突起電極の間に構成されたみぞ部に沿ってその揮発ガスを逃がすことができ、突起電極内に揮発ガスを気泡として取り込まないため、ボイドの発生を効果的に抑制することができる。したがって、信頼性を向上させることができる。さらに、前記半導体装置を外部回路基板上に位置合わせを行い載置する際に、突起電極部にみぞ部を形成することにより、みぞ部を視認し位置合わせを行うことができるために半導体装置と、外部回路基板と、の位置合わせ精度を向上させることが可能となる請求項4記載の半導体装置は、請求項1乃至請求項3のいずれかに記載の半導体装置において、前記みぞ部は、該突起電極の配置された方から見て、該突起電極のほぼ中央部に形成されてなることを特徴とする。これにより、前記半導体装置を外部回路基板上に実装する際のリフロー工程において、外部回路基板上に配置したペースト状はんた又はフラックスから揮発ガスが発生しても、ペースト状はんた又はフラックスと、突起電極の間に構成されたみぞ部に沿って揮発ガスを逃がすことができる。この時、みぞ部が突起電極のほぼ中央部に形成されているため、発生した揮発ガスを、突起電極の周辺に偏りなく、均一に逃がすことができる。そのため、突起電極内に揮発ガスを気泡として取り込まず、ボイドの発生を効果的に抑制することができる。したがって、信頼性を向上させることができる。

【0010】請求項5記載の半導体装置は、請求項1乃至請求項3のいずれかに記載の半導体装置において、前記みぞ部は、該突起電極の配置された方から見て、該突起電極のほぼ中央部を中心とした放射状の形状を有していることを特徴とする。これにより、前記半導体装置を外部回路基板上に実装する際のリフロー工程において、

外部回路基板上に配置したペースト状はんだ又はフラックスから揮発ガスが発生しても、ペースト状はんだ又はフラックスと、突起電極の間に構成されたみぞ部に沿って揮発ガスを逃がすことができる。この時、上方に向かってなる放射状のみぞ部に沿って揮発ガスを逃がすため、突起電極内に揮発ガスを気泡として取り込まず、ボイドの発生を効果的に抑制することができる。したがって、信頼性を向上させることができる。放射状に形成されてなるとは、突起電極のほぼ中央部から突起電極の外形を上方に向かって伸びるように形成されてなることを言う。また、みぞの本数は2本以上6本以下が好ましい。この理由は、突起電極を構成しているボール径が小さい場合に、みぞの本数を増やしてしまうと、ボール形状に変形をもたらしてしまうからである。

【0011】請求項6記載の半導体装置は、請求項1乃至請求項3のいずれかに記載の半導体装置において、該突起電極の配置された方から見て、該突起電極のほぼ中央部には前記みぞ部が形成され、そのみぞ部の交差部に、突起部が形成されてなることを特徴とする。これにより、前記半導体装置を外部回路基板上に実装する際のリフロー工程において、外部回路基板上に配置したペースト状はんだ又はフラックスから揮発ガスが発生しても、ペースト状はんだ又はフラックスと、突起電極の間に構成されたみぞ部に沿って揮発ガスを逃がすことができる。この時、みぞ部の交差部に突起部があることにより、揮発ガスを、突起電極の放射状みぞ部の中心部に留まらせることなく突起電極の周辺に逃がすことができる。そのため、突起電極内に揮発ガスを気泡として取り込まず、ボイドの発生を効果的に抑制することができる。したがって、信頼性を向上させることができる。突起部とは、突起電極の中央部のみぞ部の交差部に形成される半球状の突起を言う。

【0012】請求項7記載の半導体装置は、請求項1乃至請求項3のいずれかに記載の半導体装置において、前記みぞ部のみぞ長さ寸法は前記突起電極の幅寸法の20分の1以上かつ4分の1以下の寸法に形成されることを特徴とする。20分の1以上とすることにより、揮発ガスを効果的に突起電極の周辺に逃がすことができるようになる。また、4分の1以下とすることにより、みぞ形成における突起電極形状の変形をもたらすことがないために、接続時の信頼性を向上することが可能となる。

【0013】請求項8記載の半導体装置は、請求項1乃至請求項3のいずれかに記載の半導体装置において、突起電極の配置された方から見てはば中央部の、前記みぞ部を含む範囲にペースト状はんだが配置されてなることを特徴とする。これにより、みぞ部を含む範囲にペースト状はんだが配置でき、リフロー時にペースト状はんだから揮発ガスが発生しても、前記揮発ガスがみぞ部に沿って逃げるため、ボイドの発生を効果的に抑制することができる。さらに、突起電極が比較的大きく形成されて

いる場合には、ペースト状はんだはみぞ部の内壁を含む範囲に配置可能なため、ペースト状はんだを多く配置可能となる。ペースト状はんだが多く配置可能となることで、接続時の信頼性を向上することが可能となる。

【0014】請求項9記載の半導体装置は、請求項1乃至請求項3のいずれかに記載の半導体装置において、突起電極の配置された方から見てはば中央部の、前記みぞ部を含む範囲にフラックスが配置されてなることを特徴とする。これにより、みぞ部を含む範囲にフラックスが配置でき、リフロー時にフラックスから揮発ガスが発生しても、前記揮発ガスがみぞ部に沿って逃げるため、ボイドの発生を効果的に抑制することができる。さらに、突起電極が比較的大きく形成されている場合には、フラックスはみぞ部の内壁を含む範囲に配置可能なため、フラックスを多く配置可能となる。フラックスが多く配置可能となることで、接続時の信頼性を向上することが可能となる。

【0015】請求項10記載の半導体装置の製造方法は、請求項1乃至請求項3のいずれかに記載の半導体装置を製造するための半導体装置の製造方法であって、該突起電極の配置された方から見て、該突起電極のほぼ中央部を中心とした放射状の形状をしているみぞ部を形成する工程を有することを特徴とする。これにより、突起電極のほぼ中央部を中心とした放射状の形状をしたみぞ部を形成することができるため、前記のようにボイドの発生を効果的に抑制することができる。

【0016】請求項11記載の半導体装置の製造方法は、請求項1乃至請求項3のいずれかに記載の半導体装置を製造するための半導体装置の製造方法であって、みぞの形成されていない突起電極を温度軟化点直前まで上昇させる工程と、みぞ部の形状を反転された形状からなる形成鋳子を該突起電極に押し付け転写する工程と、前記突起電極を冷却する工程と、をこの順序で行うことによって、前記みぞ部形成工程を実施することを特徴とする。これにより、放射状のみぞ部を、短時間に、多くの該突起電極のほぼ中央部に形成することができる。このみぞ部の形成により、前記のようにボイドの発生を効果的に抑制することができる。

【0017】請求項12の半導体装置の実装方法は、請求項1乃至請求項3のいずれかに記載の半導体装置を、前記半導体装置の突起電極に対応した電極を有する外部回路基板上に実装する、半導体装置の実装方法であって、前記突起電極の融点より低い融点を持つペースト状はんだ又はフラックスを電極上に配した外部回路基板を用いることを特徴とする。これにより、前記半導体装置を前記外部回路基板上に実装する際のリフロー工程において、突起電極より融点の低いペースト状はんだ又はフラックスは突起電極の溶融前に溶融するため、ペースト状はんだ又はフラックスより発生する揮発ガスは突起電極に形成されたみぞ部に沿って逃げるため、ボイドの発生を効果的に抑制することができる。このた

のみぞ部をペースト状はんだ、又はフラックスで埋めてしまわないよう、このみぞ部20に配置されるペースト状はんだ、又はフラックスの厚み以上とすることが好ましいが、薄くしすぎた場合にはボール形状の変形をもたらすため、ボール径の4分の1以下とすることが好ましい。

【0033】図5は、本発明の実施例1、2の半導体装置における、突起電極のみぞ部を形成するツール端子形状を示す概略図である。図5(a)は上面図、図5

(b)は側断面図である。

【0034】図5は、みぞ部20を、突起電極16のほぼ中心部から90°ずつの角度をなして4本形成した例で示した。みぞ部20の形成方法として、プリヒート工程終了後、プレス工程として、突起電極16のほぼ中央部から放射状に形成される突起部22を含むみぞ部20の形状を反転させた形状を持つツール端子100を、突起電極16に一定の圧力で押し当てる。すると、ツール端子100のほぼ中心部から90°ずつ4本の後退部102が、突起電極16の中央部のみぞ部20として転写され、ツール端子100の中心の穴部104が、突起電極16のみぞ部20の中心部に突起部22として転写される。

【0035】このように、実施例3のみぞの形成方法によれば、突起電極のほぼ中央部を中心とした放射状の形状をしたみぞ部を、プリヒート工程、プレス工程、冷却工程によって形成することで、短時間に形成でき、また、ボイドの発生を効果的に抑制することができる。

【0036】(実施例4)図6は、突起電極のみぞ部の形成された半導体装置を、外部回路基板へ実装する実装方法を示す概略図である。

【0037】半導体装置8を搭載する外部回路基板30には、半導体装置8の突起電極16に対応した電極32が配されている(図6(a))。

【0038】半導体装置8を外部回路基板30に実装する方法は、まず、外部回路基板30に配された電極32に、突起電極の融点より低い融点を持つペースト状はんだ34を配置する(図6(b))。

【0039】次に、突起電極16のみぞ部20の形成された半導体装置8を、半導体装置8の突起電極16に対応した外部回路基板30の電極32に対して位置合わせを行い、外部回路基板30のペースト状はんだ34上に搭載する(図6(c))。

【0040】そして、半導体装置8を搭載した外部回路基板30を、リフロー工程に通す(図6(d))。このリフロー工程で、ペースト状はんだ34が溶融する際に発生する揮発ガスは、突起電極のみぞ部20と突起部22(図示せず)に沿って放出されるため、突起電極16に取り込まれない。その後、ペーストはんだ34より融点の高い突起電極16が溶融し、最後に冷却工程を経て外部回路基板30に半導体装置8が固定される。

【0041】外部回路基板とは、回路を組み込んだ基板の総称である。基板の材料としては、ガラス繊維の入ったガラスエポキシ基板が一般的であるが、アルミナ配線基板、窒化珪素配線基板等のセラミックス基板、ポリイミドフレキシブル配線基板等の有機基板、シリコン基板、ガラス配線基板等の基板も含まれる。

【0042】本実施例では、外部回路基板と突起電極の接合に供する材料にペースト状はんだを用いたが、突起電極の融点より低い融点を持つフラックスでも同様に好適に用いることができる。

【0043】(実施例5)図7は、突起電極のみぞ部の形成された半導体装置を、外部回路基板へ実装する実装方法を示す概略図である。

【0044】外部回路基板30に搭載する半導体装置8は、外部回路基板30に配された電極32に対応した突起電極16が配されている(図7(a))。

【0045】半導体装置8を外部回路基板30に実装する方法は、まず、半導体装置8に配された突起電極16に、突起電極の融点より低い融点を持つペースト状はんだ34を配置する(図7(b))。

【0046】次に、突起電極16にペースト状はんだ34を配置された半導体装置8を、半導体装置8の突起電極16に対応した外部回路基板30の電極32(図7(c))に対して位置合わせを行い、外部回路基板30の電極32上に搭載する(図7(d))。

【0047】そして、半導体装置8を搭載した外部回路基板30を、リフロー工程に通す(図7(e))。このリフロー工程で、ペースト状はんだ34が溶融する際に発生する揮発ガスは、突起電極のみぞ部20と突起部22(図示せず)に沿って放出されるため、突起電極16に取り込まれない。その後、ペースト状はんだ34より融点の高い突起電極16が溶融し、最後に冷却工程を経て外部回路基板30に半導体装置8が固定される。

【0048】本実施例では、外部回路基板と突起電極の接合に供する材料にペースト状はんだを用いたが、突起電極の融点より低い融点を持つフラックスでも同様に好適に用いることができる。

【0049】このように、実施例5の実装方法によれば、半導体装置を外部回路基板に実装する際のリフロー工程において、突起電極より融点の低いペースト状はんだ又はフラックスは突起電極の溶融前に溶融するため、ペースト状はんだ又はフラックスより発生する揮発ガスは、突起電極に形成されたみぞ部に沿って逃げる事ができる。これにより、突起電極内に揮発ガスを取り込まず、ボイドの発生を効果的に抑制することができる。

【図面の簡単な説明】

【図1】 実施例1の半導体装置の構造を示す断面図。

【図2】 実施例2の半導体装置の構造を示す断面図。

【図3】 実施例1、2の半導体装置における、突起電極のみぞ部の形成方法を示す概略図。

【図4】 実施例1、2の半導体装置における、突起電極のみぞ部の他の形状の下面図。

【図5】 実施例1、2の半導体装置における、突起電極のみぞ部を形成するツール端子形状を示す概略図。

【図6】 実施例4の半導体装置を外部回路基板へ実装する実装方法を示す概略図である。

【図7】 実施例5の半導体装置を外部回路基板へ実装する実装方法を示す概略図である。

【符号の説明】

8 半導体装置

9 半導体装置

10 半導体素子

*12 配線基板

14 電極部

16 突起電極

20 みぞ部

22 突起部

30 外部回路基板

32 電極部

34 ベースト状はんだ

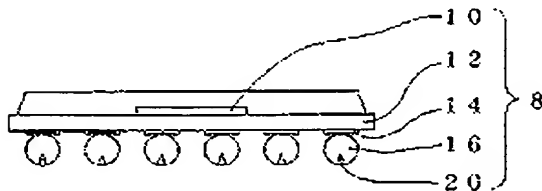
100 ツール端子

102 稜線部

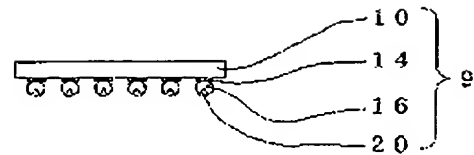
104 中心穴部

*

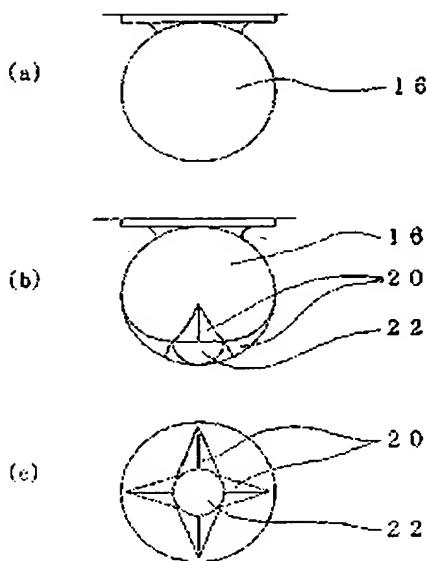
【図1】



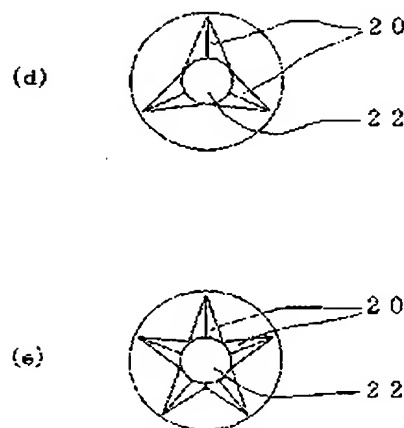
【図2】



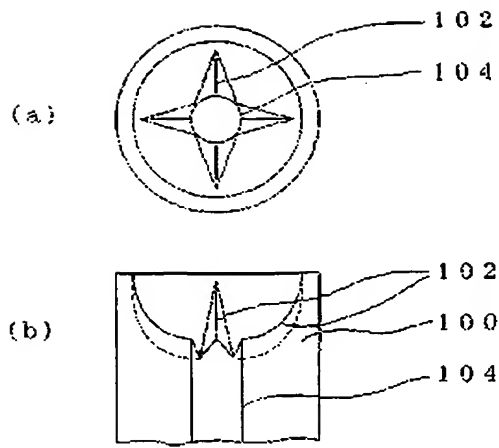
【図3】



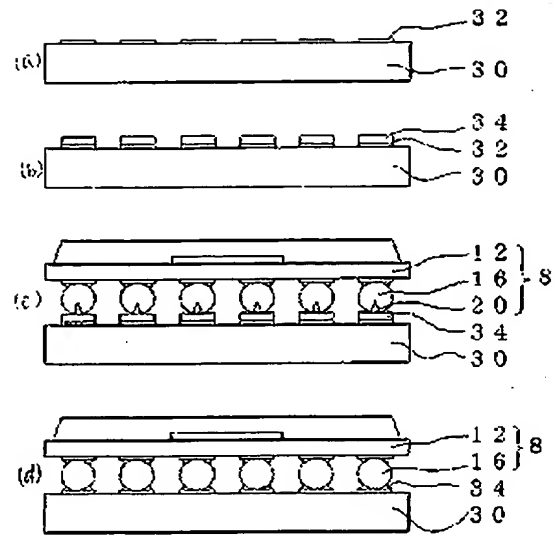
【図4】



【図5】



【図6】



【図7】

